



XA-10070  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Yuichi MATSUI

Appln. No.: 10/829,300

Group Art Unit: 2811

Filed: April 22, 2004

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

\* \* \*

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of Japanese  
Patent Application No. 2003-118561 filed April 23, 2003, for  
which priority under 35 U.S.C. § 119 is claimed.

Respectfully submitted,

NHS:jab

Miles & Stockbridge P.C.  
1751 Pinnacle Drive, Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

By: \_\_\_\_\_  
Nelson H. Shapiro  
Reg. No. 17,095

September 7, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   4 月 2 3 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 1 1 8 5 6 1  
Application Number:

ST. 10/C] :      [ J P 2 0 0 3 - 1 1 8 5 6 1 ]

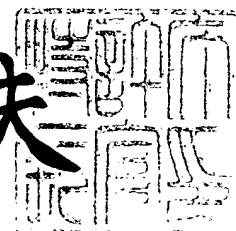
願      人      株式会社日立製作所  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   4 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 NT03P0237

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 松井 裕一

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100068504

    【弁理士】

    【氏名又は名称】 小川 勝男

    【電話番号】 03-3661-0071

【選任した代理人】

    【識別番号】 100086656

    【弁理士】

    【氏名又は名称】 田中 恭助

    【電話番号】 03-3661-0071

【選任した代理人】

    【識別番号】 100094352

    【弁理士】

    【氏名又は名称】 佐々木 孝

    【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1 の導電膜と、  
前記第 1 の導電膜上に堆積された誘電体膜と、  
前記誘電体膜上に形成された第 2 の導電膜とを備え、

前記誘電体膜は、複数の結晶粒からなる多結晶の酸化物および前記結晶粒の間に形成された間隙に存在する非晶質の酸化物から構成されることを特徴とする半導体装置。

【請求項 2】

半導体基板上に形成された第 1 の導電膜と、  
前記第 1 の導電膜上に堆積された誘電体膜と、  
前記誘電体膜上に形成された第 2 の導電膜とを備え、

前記誘電体膜は、複数の結晶粒からなる第 1 の結晶化温度を有する多結晶の酸化物および前記結晶粒の間に形成された間隙に存在する前記第 1 の結晶化温度より高い結晶化温度を有する非晶質の酸化物から構成されることを特徴とする半導体装置。

【請求項 3】

半導体基板上に形成された第 1 の導電膜と、  
前記第 1 の導電膜上に堆積された誘電体膜と、  
前記誘電体膜上に形成された第 2 の導電膜とを備え、

前記誘電体膜は、複数の結晶粒からなる第 1 の誘電率および第 1 の結晶化温度を有する多結晶の酸化物および前記結晶粒の間に形成された間隙に存在する前記第 1 の誘電率より低い誘電率で前記第 1 の結晶化温度より高い結晶化温度を有する非晶質の酸化物から構成されることを特徴とする半導体装置。

【請求項 4】

キャパシタを有する半導体装置において、  
半導体基板上に形成された第 1 の導電膜からなる前記キャパシタの第 1 の電極と

前記第 1 の電極上に堆積された誘電体膜と、

前記誘電体膜上に形成された第 2 の導電膜からなる前記キャパシタの第 2 の電極とを備え、

前記誘電体膜は、複数の結晶粒からなる多結晶の酸化物および前記結晶粒の間に形成された間隙に存在する非晶質の酸化物から構成されることを特徴とする半導体装置。

**【請求項 5】**

前記多結晶の酸化物は、五酸化ニオブであることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 6】**

前記多結晶の酸化物は、五酸化ニオブであり、非晶質の酸化物は、五酸化タンタルであることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 7】**

前記誘電体膜中における前記非晶質の酸化物の含有率は、5 % 以上 50 % 以下であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 8】**

前記非晶質の酸化物は、タンタル、シリコン、チタン、タングステンの中から選ばれた少なくとも 1 種類の酸化物からなることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 9】**

前記誘電体膜の膜厚が 5 nm 以上 20 nm 以下であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 10】**

前記第 1 の電極は、ルテニウム、白金、銅、窒化チタン、窒化タンタル、窒化タングステンのいずれかよりなることを特徴とする請求項 4 に記載の半導体装置。

**【請求項 11】**

前記第 1 の電極は、多結晶シリコンからなり、前記第 1 の電極と前記誘電体膜

との間にシリコン酸化膜が存在することを特徴とする請求項 4 に記載の半導体装置。

【請求項 12】

キャパシタを有する半導体装置の製造方法において、  
半導体基板上に前記キャパシタの第 1 の電極を形成する工程と、  
前記第 1 の電極上に、第 1 の結晶化温度を有する第 1 酸化物と前記第 1 の結晶化温度よりも高い第 2 の結晶化温度を有する第 2 酸化物を含む誘電体膜とを堆積する工程と、

前記誘電体膜を前記第 1 の結晶化温度より高く、前記第 2 の結晶化温度よりも低い温度を用いて熱処理することにより、前記第 1 酸化物を多結晶化し、前記第 2 酸化物を非晶質化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】

キャパシタを有する半導体装置の製造方法において、  
半導体基板上に前記キャパシタの第 1 の電極を形成する工程と、  
前記第 1 の電極上に、第 1 の結晶化温度を有する第 1 酸化物と前記第 1 の結晶化温度よりも高い第 2 の結晶化温度を有する第 2 酸化物を含む誘電体膜とを堆積する工程と、

前記誘電体膜を前記第 1 の結晶化温度より高く、前記第 2 の結晶化温度よりも低い温度を用いて熱処理する工程と、

前記誘電体膜上に前記キャパシタの第 2 の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】

前記第 1 酸化物は、五酸化ニオブであり、前記第 2 酸化物は五酸化タンタルであることを有することを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

【請求項 15】

前記熱処理の温度は、400℃以上700℃以下であることを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

**【請求項 16】**

前記非晶質の酸化物は五酸化タンタルであり、前記誘電体膜はペンタエトキシタンタルおよびペンタエトキシニオブからなる混合原料を用いて化学的気相成長法により形成することを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

**【請求項 17】**

前記混合原料において、ペンタエトキシタンタルの比率は 5% 以上 50% 以下であることを特徴とする請求項 16 に記載の半導体装置の製造方法。

**【請求項 18】**

前記第 1 の電極は、ルテニウム、白金、銅、窒化チタン、窒化タンタル、窒化タングステンのいずれかよりなることを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

**【請求項 19】**

前記第 1 の電極は、多結晶シリコンからなり、前記第 1 の電極と前記誘電体膜との間にシリコン酸化膜が存在することを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置及びその製造方法に関し、特にキャパシタを有する半導体装置、例えば DRAM (Dynamic Random Access Memory)、及びその製造方法に適用して有効な技術に関するものである。

**【0002】****【従来の技術】**

半導体装置の高集積化等のために、キャパシタ誘電体膜材料としてこれまで使用されてきたシリコン酸化膜（比誘電率：約 4）やシリコン窒化膜（比誘電率：約 7）の代わりに、比誘電率が数十と大きい五酸化タンタル膜を採用することが知られている（例えば、特許文献 1 参照）。

**【0003】**



その五酸化タンタル膜を有するキャパシタを製造する方法として、キャパシタ下部電極上に五酸化タンタル膜を形成後、熱処理を行ってその膜を結晶化し、その上にキャパシタ上部電極を形成する方法がある。五酸化タンタル膜を熱処理する理由は、結晶化されると誘電率が大きくなる五酸化タンタル膜の特性を利用し、静電容量の大きなキャパシタを得るためである。しかし、この製造方法において、五酸化タンタル膜を十分に結晶化させるためには、750℃以上の高温での熱処理が必要となってしまうことが知られている（例えば、特許文献2参照）。以下、誘電体膜を結晶化するために行う熱処理の温度を結晶化熱処理温度という。

**【0004】****【特許文献1】**

特開平8-139288号公報

**【特許文献2】**

特開2000-12796号公報

**【特許文献3】**

特開2000-82639号公報

**【特許文献4】**

特開2002-164516号公報

**【特許文献5】**

特開2001-77108号公報

**【特許文献6】**

特開平5-345663号公報

**【特許文献7】**

特開平10-12043号公報

**【特許文献8】**

特開2001-284158号公報

**【特許文献9】**

特開平8-31951号公報

**【特許文献10】**

特開平 11-330415 号公報

【非特許文献 1】

「ジャーナル・バキューム・サイエンス・アンド・テクノロジー (Journal Vacuum Science & Technology A, Vol.12 (1994))、A12 巻、p.135

【0005】

【発明が解決しようとする課題】

結晶化に比較的高温である 750℃ 以上での熱処理が必要とされることによる問題点を説明する前に、キャパシタの構造について説明しておく。

【0006】

五酸化タンタル膜を誘電体に用いるキャパシタは、多結晶シリコン膜を下部電極に用いる MIS (Metal-Insulator-Semiconductor) 構造と、金属膜を下部電極に用いる MIM (Metal-Insulator-Metal) 構造に大別される。MIS 構造と MIM 構造の違いとして、下部電極材料が異なる点に加え、MIM 構造においてはバリアメタルが必要となる点があげられる。バリアメタルは、下部電極と下部電極に接続されるプラグの間に形成され、下部電極とプラグの反応を防ぐために必要なものである。プラグと下部電極が反応してしまうと、電氣的導通に悪影響を与えてしまう。バリアメタルの例として、多結晶シリコンからなるプラグとルテニウムからなる下部電極との間に形成される窒化チタンがあげられる。

【0007】

ここから、五酸化タンタル膜を形成するプロセス上において、結晶化に比較的高温である 750℃ 以上での熱処理が必要とされることの問題点について説明する。MIS 構造においては、この熱処理によって下部電極のシリコンが酸化され、容量が低下してしまう。その理由は、シリコンはタンタルよりも熱力学的に酸化されやすいため、五酸化タンタル膜の結晶化熱処理中にシリコンが五酸化タンタル膜を還元する結果、比誘電率の小さいシリコン酸化膜が形成されてしまうからである。このキャパシタ容量低下の問題は、シリコンの酸化防止のために、下部電極界面にシリコン窒化膜を形成した場合においても発生する。なぜなら、同様の理由により、シリコン窒化膜が酸化してしまい、キャパシタ容量の低下を招

くからである。また、MIM構造においては、金属電極自身に酸化の問題がないとしても、電極中を拡散した酸素によって、バリアメタルが酸化される結果、電氣的導通が損なわれてしまう。その理由は、例えば下部電極がルテニウムである場合、ルテニウム膜は酸素透過性が良く、五酸化タンタル膜の形成過程で下部電極中に酸素が溶存してしまうため、後の誘電体膜の結晶化熱処理中に、この溶存酸素によってバリアメタルが酸化されてしまうからである。

#### 【0008】

これらMIS構造、MIM構造における各々の問題は、結晶化熱処理時の雰囲気には依存しない。五酸化タンタル膜を用いたキャパシタの形成に際して、酸素雰囲気中で熱処理を行うことがあるが、この酸化熱処理温度を低温化することで、下部電極及びバリアメタルの酸化を抑制できたとしても、結晶化温度を低温化できなければ問題点の根本的な解決策にはならない。

#### 【0009】

キャパシタ誘電体膜として五酸化タンタル膜を用いる以上、その結晶化温度を750℃以下に低温化することは極めて困難である。

#### 【0010】

そこで我々は、五酸化タンタル膜を結晶化するための比較的高い熱処理温度に基づく課題を解決するため、キャパシタ誘電体膜として五酸化ニオブ膜の適用を試みた。五酸化ニオブ膜は、五酸化タンタル膜の結晶化温度よりも100℃以上低い600℃以下で結晶化することが知られているからである。五酸化ニオブ膜の結晶化温度については、例えば、非特許文献1に記載されている。また、五酸化ニオブは、次世代のコンデンサ材料として適用が検討されており、例えば、特許文献3に記載されている。

#### 【0011】

実験方法を説明する。白金下部電極上に、酸化物ターゲットを用いるRFスパッタリング法によって五酸化タンタル膜と五酸化ニオブ膜を形成した。形成条件は、10mTorrのN<sub>2</sub>/O<sub>2</sub>混合ガス(圧力比N<sub>2</sub>/O<sub>2</sub>=1/1)、基板温度は300℃、膜厚は20nmである。誘電体膜の形成後、窒素中500℃から800℃の範囲で1分間熱処理し、その後、酸素中500℃で2分間熱処理した。

## 【0012】

X線回折図形の熱処理温度依存を図1に示す。 $2\theta$ が $40^\circ$ 付近のピークは、白金下部電極の111回折線である。また、 $2\theta$ が $38^\circ$ 付近に見られる半値幅の小さいピークは、上部電極として形成した金の111回折線である。五酸化タンタル膜を熱処理すると(図1(a))、 $750^\circ\text{C}$ 以上で $22\sim 23^\circ$ 及び $36\sim 37^\circ$ 付近に、五酸化タンタル膜の結晶化に起因する001及び101回折線が観察される。つまり、本実験の条件下では、五酸化タンタル膜の結晶化温度は $750^\circ\text{C}$ であることがわかる。一方、図1(b)から、五酸化ニオブ膜の結晶化温度は $500^\circ\text{C}$ 以下であり、五酸化タンタル膜に比べて $200^\circ\text{C}$ 以上低いと結論できる。

## 【0013】

次に、それぞれの誘電体膜の電気的特性を比較したものを図2に示す。熱処理温度は $750^\circ\text{C}$ とした。横軸は電圧を示しており、縦軸はリーク電流密度を示している。五酸化ニオブ膜のリーク電流密度は五酸化タンタル膜に比べて非常に大きいことがわかる。なお、五酸化ニオブ膜の誘電率は約100であり、五酸化タンタル膜の約50に比べて2倍程度大きい。

## 【0014】

ここで、五酸化ニオブ膜のリーク電流が大きい原因について説明しておく。五酸化ニオブは、非晶質では五酸化タンタルと同程度にリーク電流が低い、結晶化するとリーク電流が急激に増大する。この結果は、五酸化ニオブ膜のリーク電流は結晶粒界に起因することを示す。特に、半導体装置のキャパシタでは、厚さが $20\text{ nm}$ 以下の非常に薄い誘電体膜を用いるため、結晶粒界によるリーク電流は大きな問題となる。

## 【0015】

以上のように、五酸化タンタル膜を誘電体膜に採用する際の比較的高い熱処理温度を回避するために、結晶化温度が低い五酸化ニオブ膜の適用が有効であるが、五酸化ニオブ膜は結晶粒界に起因するリーク電流密度が大きいという課題を見出した。

## 【0016】

**【課題を解決するための手段】**

上記の課題を解決するための代表的な手段を以下に説明する。

**【0017】**

本発明は、多結晶五酸化ニオブの結晶粒の間に非晶質の酸化物が存在する誘電体膜を用いる。この手段によれば、五酸化ニオブの結晶粒界を流れるリーク電流を低減できるため、五酸化ニオブ膜はリーク電流密度が大きいという課題を解決できる。その結果、結晶化温度が低く、誘電率が大きく、リーク電流が低いという理想的なキャパシタ誘電体膜を実現できる。

**【0018】**

非晶質の酸化物は、五酸化ニオブとは異なる物質から構成される。後述する製造方法によれば、五酸化ニオブよりも結晶化温度の高い酸化物である必要があり、タンタル酸化物、シリコン酸化物、チタン酸化物、及びタングステン酸化物を例示できる。

**【0019】**

五酸化ニオブの結晶粒の間に存在する酸化物は、非晶質である必要がある。結晶化した酸化物では五酸化ニオブの結晶粒界を完全には埋められないため、結晶粒界に起因するリーク電流を抑制できないからである。

**【0020】**

非晶質酸化物は、五酸化ニオブの結晶粒を誘電体膜内で埋めていればよい。例えば、上部電極や下部電極に接する結晶粒があったとしても、電極と結晶粒との間に非晶質酸化物が存在する必要はない。また、五酸化ニオブの結晶粒径が誘電体膜の膜厚よりも大きい場合、上下部電極の両方に接する結晶粒が存在することが予想されるが、非晶質の酸化物はこれらの結晶粒の間に存在すればよく、電極と結晶粒との間に存在する必要はない。

**【0021】**

多結晶五酸化ニオブと非晶質酸化物の比率について説明しておく。五酸化ニオブの高い誘電率を生かすためには、非晶質酸化物の比率を低くする必要がある。逆に、非晶質酸化物の比率を高くすれば、リーク電流をより抑制できる。多結晶五酸化ニオブと非晶質酸化物の比率に関しては、キャパシタに要求されている静

電容量やリーク電流密度などの仕様に応じて決定すればよいが、非晶質酸化物の含有率は、5 %以上5 0 %以下であることが望ましい。その考えられる理由は、非晶質酸化物の含有率が5 %よりも少ないと多結晶酸化物の結晶粒界を非晶質酸化物で完全には埋められないため、多結晶酸化物の結晶粒界をパスするリーク電流が増えキャパシタ全体のリーク電流の許容範囲を超えてしまうと考えられるためである。また、たとえば非晶質酸化物が五酸化タンタルの場合には、五酸化タンタル膜の誘電率は非晶質の状態では約2 0と小さいため、非晶質酸化物の含有率が5 0 %よりも多いとキャパシタの平均誘電率が下がることになり平均誘電率は多結晶五酸化タンタル膜とほぼ同等となると考えられる。このため比誘電率の観点からは非晶質酸化物として五酸化タンタルを用いた場合には多結晶酸化物として五酸化ニオブを用いても、五酸化ニオブの高い比誘電率の酸化物を用いる効果が失われてしまうと考えられるためである。

#### 【0 0 2 2】

なお、五酸化タンタルと五酸化ニオブの固溶体については、例えば、特許文献4に記載されている。また、タンタル-タングステンやタンタル-モリブデンの複合酸化物については、例えば、特許文献5に記載されている。しかし、いずれの公知例も、結晶粒界を埋めることが目的ではなく、膜全体を結晶化する点が本発明とは異なる。

#### 【0 0 2 3】

また、結晶粒界に絶縁層を設ける手段については、例えば、特許文献6、特許文献7、特許文献8、特許文献、9及び特許文献1 0に記載されている。しかし、いずれの公知例も、セラミックコンデンサに関するものであり、用いられる材料や製造方法が本発明とは異なる。

#### 【0 0 2 4】

次に、本発明の半導体装置の製造方法を説明する。

#### 【0 0 2 5】

ここでは、非晶質酸化物として五酸化タンタルを用いる方法を説明するが、後述するように、本発明はこれに限定されるものではないことを予め断っておく。

#### 【0 0 2 6】

まず、ニオブの有機化合物とタンタルの有機化合物を原料とする CVD 法によって、五酸化ニオブと五酸化タンタルの混合膜からなる誘電体膜を下部電極上に堆積する。

#### 【0027】

次に、五酸化ニオブの結晶化温度よりも高く、五酸化タンタルの結晶化温度よりも低い温度で熱処理する。この熱処理によって、五酸化ニオブは結晶化し、五酸化タンタルは五酸化ニオブの結晶粒の周りに偏析し、非晶質のまま残る。その結果、多結晶五酸化ニオブの結晶粒の間に非晶質五酸化タンタルが存在する誘電体膜となる。

上記非晶質の酸化物は、五酸化ニオブとは異なる物質から構成される。五酸化ニオブよりも結晶化温度の高い酸化物であればよく、タンタル酸化物の他に、シリコン酸化物、チタン酸化物、及びタンゲステン酸化物を例示できる。

#### 【0028】

五酸化ニオブの原料はニオブを含むものであればよく、例えば、ペンタエトキシニオブ  $[\text{Nb}(\text{C}_2\text{H}_5\text{O})_5]$  を例示できる。また、五酸化タンタルの原料はタンタルを含むものであればよく、例えば、ペンタエトキシタンタル  $[\text{Ta}(\text{C}_2\text{H}_5\text{O})_5]$  を例示できる。両原料を独立の 2 系統で供給しても、任意組成の混合原料を用いても構わない。シリコン酸化物、チタン酸化物、及びタンゲステン酸化物の原料についても同様に、シリコン、チタン、及びタンゲステンを含むものであればよく、これらの原料とニオブの原料の独立 2 系統で供給しても、任意組成の混合原料を用いても構わない。

#### 【0029】

ニオブの原料とその他の酸化物の原料の比率について説明しておく。ニオブの原料の比率を高くすれば、形成される誘電体膜中での多結晶五酸化ニオブの比率が高くなり、逆にニオブの原料の比率を低くすれば、非晶質酸化物の比率が高くなる。非晶質酸化物の含有率は、5%以上50%以下であることが望ましいことから、原料の比率も同様に5%以上50%以下であることが望ましい。

#### 【0030】

熱処理温度については、五酸化ニオブの結晶化温度よりも高く、その他の酸化

物の結晶化温度よりも低い温度であればよい。例えば、400℃以上700℃以下の条件を例示できる。400℃よりも低い温度では五酸化ニオブが結晶化せず、700℃よりも高い温度では五酸化ニオブだけでなく五酸化タンタルも結晶化してしまうため、本発明の効果を奏することができないためである。

#### 【0031】

下部電極については、MIM構造のキャパシタであれば、ルテニウム、白金、銅、窒化チタン、窒化タンタル、窒化タングステンを用いることができる。MIS構造のキャパシタであれば、多結晶シリコンを用いることができる。多結晶シリコンを用いる場合、誘電体膜の形成中及び熱処理中に多結晶シリコン表面が酸化されるため、誘電体膜と下部電極の間にシリコン酸化膜が形成される。

#### 【0032】

誘電体膜の膜厚は、キャパシタの仕様に応じて決定すればよいが、膜厚が薄いとリーク電流密度が大きくなり、膜厚が厚いと静電容量が小さくなるため、5nm以上20nm以下とすることが望ましい。

#### 【0033】

本発明の効果を検証するために、多結晶五酸化タンタル膜、多結晶五酸化ニオブ膜、及び多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜を形成し、特性を比較した。

#### 【0034】

五酸化タンタル膜は、ペンタエトキシタンタルを原料とするCVD法によって形成し、750℃の熱処理を行った。五酸化ニオブ膜は、ペンタエトキシニオブを原料とするCVD法によって形成し、600℃の熱処理を行った。五酸化ニオブと五酸化タンタルの混合膜は、ペンタエトキシタンタルとペンタエトキシニオブのカクテル原料を用いるCVD法によって形成し、600℃の熱処理を行った。

下部電極はルテニウムを用いた。誘電体膜の膜厚は10nmとした。

#### 【0035】

五酸化ニオブ膜と五酸化タンタルの混合膜を電子顕微鏡で観察したところ、図3に示す通りであった。(a)は表面から見た図、(b)は断面から見た図であ



る。結晶化した部分と非晶質の部分に分かれている。元素分析の結果、結晶化した部分はニオブ酸化膜、非晶質の部分は酸化タンタルであることがわかった。つまり、五酸化ニオブ結晶粒の間、すなわち結晶粒界が非晶質の五酸化タンタルで埋められている構造となっている。これは、五酸化ニオブの結晶化温度よりも高く、五酸化タンタルの結晶化温度よりも低い温度で熱処理することによって、五酸化ニオブは結晶化し、五酸化タンタルは五酸化ニオブの結晶粒の周りに偏析して非晶質のまま残るためと考えられる。

#### 【0036】

リーク電流密度の比較を図4に示す。横軸は電圧を示しており、縦軸はリーク電流密度を示している。(a)は多結晶五酸化ニオブ膜、(b)は多結晶五酸化タンタル膜、(c)は多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜のリーク電流密度である。多結晶五酸化ニオブ膜のリーク電流は多結晶五酸化タンタル膜に比べて非常に大きい。しかし、本発明の多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜は、多結晶五酸化タンタル膜よりもリーク電流密度が低い。また、比誘電率は、多結晶五酸化タンタル膜が約50であるのに対し、本発明の多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜は約95であり、五酸化ニオブ膜の約100とほぼ同程度であった。

#### 【0037】

つまり、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜を用いことにより、五酸化ニオブの結晶粒界を流れるリーク電流が抑制される結果、五酸化ニオブ膜と同程度の高い比誘電率と低い結晶化温度が得られ、同時に、五酸化タンタル膜よりも低いリーク電流密度を持つキャパシタが実現できた。

#### 【0038】

ここでは、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜を用いた例を示したが、本発明はこれに限定されるものではない。五酸化ニオブに混合する酸化物として五酸化ニオブよりも結晶化温度の高い酸化物を用い、五酸化ニオブの結晶化温度よりも高く、混合する酸化物の結晶化温度よりも低い温度で熱処理すれば、上記の特性を持つキャパシタを実現することができる。

#### 【0039】

**【発明の実施の形態】****<実施例 1>**

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

**【0040】**

発明の実施例 1 を図 5 で説明する。これは、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなる誘電体膜を用いた MIM キャパシタを有する半導体記憶装置、特に DRAM に適用した場合である。

**【0041】**

以下、そのキャパシタの製造工程を説明する。

**【0042】**

まず、多結晶シリコンからなるプラグ 1 と窒化チタンからなるバリアメタル 2 及びシリコン酸化膜からなる層間絶縁膜 3 の上に、シリコン窒化膜 4 とシリコン酸化膜 5 を形成する。

次に、バリアメタル 2 が露出するようにシリコン窒化膜 4 とシリコン酸化膜 5 に溝を形成する。溝はフォトリソ膜またはタンゲステン膜をマスクとしたドライエッチングにより加工する。

**【0043】**

次に、ルテニウムからなる下部電極 6 を堆積する。スパッタリング法によって、ルテニウム膜の種層を形成した後、CVD 法によって、膜厚が 20 nm のルテニウム膜を堆積する。この CVD 法によるルテニウム膜は、有機金属錯体 Ru (C<sub>2</sub>H<sub>4</sub>C<sub>2</sub>H<sub>5</sub>)<sub>2</sub> (ビスエチルシクロペンタジエニルルテニウム) を (C<sub>2</sub>H<sub>4</sub>)<sub>2</sub>O (テトラヒドロフラン) に 0.1 mol/l の濃度で溶解した溶液を液体搬送して形成する。基板と対面するシャワーヘッド内で、液体原料を酸素ガスおよび窒素ガスと混合し、基板に吹きつけた。基板温度は 290℃、圧力は 5 Torr である。ここで、後の熱処理によってルテニウム膜が変形するのを防ぐために、焼き締めておくことが望ましい。具体的には、不活性雰囲気中または還元雰囲気中、例えばアルゴン中で、600℃、1 分間の熱処理を行えばよい。

## 【0044】

次に、基板の全面に絶縁膜（図示せず）を堆積する。絶縁膜は、埋め込み性およびシリコン酸化膜5とのエッチング選択性を考慮してSOG膜とすることが好ましい。ここで、シリコン酸化膜5の上面のルテニウム膜を除去する。これらの除去にはエッチバック法あるいはCMP法を用いることができる。溝の内部に残存する絶縁膜（図示せず）はウェットエッチングにより除去することが可能である。このようにしてルテニウムからなる下部電極6が形成される。

## 【0045】

次に、五酸化ニオブと五酸化タンタルの混合膜からなる誘電体膜7をCVD法によって堆積する。前駆体としてペンタエトキシタンタル  $[\text{Ta}(\text{C}_2\text{H}_5\text{O})_5]$  とペンタエトキシニオブ  $[\text{Nb}(\text{C}_2\text{H}_5\text{O})_5]$  のカクテル原料を用いた。混合比率は、ペンタエトキシタンタルが10%、ペンタエトキシニオブが90%である。形成条件は、0.5 Torrの $\text{N}_2/\text{O}_2$ 混合ガス中（圧力比： $\text{N}_2/\text{O}_2 = 2/1$ ）、基板温度430℃、膜厚10nmである。

## 【0046】

次に、誘電体膜7を窒素雰囲気中600℃で2分間、酸素雰囲気中500℃で1分間熱処理する。この条件では、五酸化ニオブは偏析して結晶化し、五酸化タンタルは五酸化ニオブの結晶粒の周りに非晶質のまま残る。その結果、多結晶五酸化ニオブの結晶粒の間に非晶質の五酸化タンタルが存在する誘電体膜となる。

## 【0047】

次に、誘電体膜7上に窒化チタンからなる上部電極8をCVD法によって堆積する。次に、上部電極上にフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして上部電極8及び誘電体膜7をドライエッチングすることによって所望の形状に加工する。

## 【0048】

このようにしてルテニウムからなる下部電極6、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなる誘電体膜7及び窒化チタンからなる上部電極8で構成されるMIM構造キャパシタを形成する。このキャパシタと、これに直列に接続されたメモリセル選択用MISFETとでDRAMのメモリセルが形成さ

れる。

#### 【0049】

本実施例1によれば、キャパシタ誘電体膜の結晶化温度を低温化できるため、MIM構造のキャパシタで問題となるバリア金属の酸化を抑制することができる。この結果、キャパシタの特性を総合的に良好にしてDRAMの性能および信頼性を向上できる。

#### 【0050】

上述した例では、バリア金属や上部電極として窒化チタンを用いた半導体装置の製作工程を示した。しかし、材料の選択肢は広く、窒化チタンの代りとして、バリア金属には、窒化タンタル、アルミ添加窒化チタン、シリコン添加窒化タンタル、などを用いても同様の効果が得られる。また、上部電極には、ルテニウム、白金、銅、窒化タンタル、窒化タンゲステンを用いても同様の効果が得られる。

#### 【0051】

誘電体膜7の熱処理は600℃に限らず、五酸化ニオブの結晶化温度よりも高く、五酸化タンタルの結晶化温度よりも低い温度であればよい。すなわち、400℃以上700℃以下の温度範囲で熱処理を行えば、同様の効果が得られる。

#### 【0052】

ペンタエトキシタンタルに混合するペンタエトキシニオブの比率は10%に限らず、5%以上50%以下であればよい。この範囲ならば、非晶質五酸化タンタルの含有率が5%以上50%以下となるため、低いリーク電流と高い誘電率が両立できる。

#### 【0053】

また、実施例1のキャパシタは、DRAMだけではなく、DRAMを混載したあらゆる半導体装置、あるいは、キャパシタを有するあらゆる半導体装置に適用できる。

なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

#### 【0054】

### <実施例 2>

発明の実施例 2 を図 6 で説明する。これは、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなる誘電体膜を用いた M I S キャパシタを半導体記憶装置、特に D R A M に適用した例である。

以下、そのキャパシタの製造工程を説明する。

まず、多結晶シリコンからなるプラグ 1 とシリコン酸化膜からなる層間絶縁膜 3 の上に、シリコン窒化膜 4 とシリコン酸化膜 5 を形成する。

その後、実施例 1 と同様に、プラグ 1 が露出するようにシリコン窒化膜 4 とシリコン酸化膜 5 に溝を形成する。

#### 【0055】

次に、膜厚 20 nm の導電性の非晶質シリコン膜を溝の内面およびシリコン酸化膜 5 の上面に渡って形成し、フォトリソグラフィ法およびドライエッチング法によりシリコン酸化膜 5 の上面の非晶質シリコン膜を除去して、深孔の内面にのみ非晶質シリコン膜を残す。溝内表面にシリコンの種付けをした後、630℃で熱処理して結晶化すると同時に表面を凹凸化して多結晶シリコンからなる下部電極 6 を形成する。

#### 【0056】

次に、多結晶シリコンからなる下部電極 6 の表面に  $\text{PH}_3$  を用いて P をドーピングした後、アンモニア雰囲気中で熱処理して表面に窒化シリコン膜を形成する。膜厚は 2 nm 程度と非常に薄いため、図 6 中には図示していない。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、下部電極の多結晶シリコン膜が酸化されるのを抑制する効果がある。

#### 【0057】

次に、五酸化ニオブと五酸化タンタルの混合膜を堆積する。混合膜の堆積は、実施例 1 と同様に行う。さらに、実施例 1 と同様に熱処理を行い、多結晶五酸化ニオブの結晶粒の間に非晶質の五酸化タンタルが存在する誘電体膜 7 を形成する。

次に、実施例 1 と同様に、上部電極 8 を堆積し、所望の形状に加工する。

#### 【0058】

このようにして多結晶シリコン膜からなる下部電極 6、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなる誘電体膜 7 及び窒化チタンからなる上部電極 8 で構成される M I S 構造キャパシタを形成する。このキャパシタと、これに直列に接続されたメモリセル選択用 M I S F E T とで D R A M のメモリセルが形成される。

#### 【0059】

本実施例 2 によれば、キャパシタ誘電体膜の結晶化温度を低温化できるため、M I S 構造のキャパシタで問題となる下部電極の酸化による容量の低下を抑制することができる。この結果、キャパシタの特性を総合的に良好にして D R A M の性能および信頼性を向上できる。

#### 【0060】

上述した例では、上部電極として窒化チタンを用いた半導体装置の製作工程を示した。しかし、材料の選択肢は広く、窒化チタンの代りとして、ルテニウム、白金、銅、窒化タンタル、窒化タングステンをを用いても同様の効果が得られる。

#### 【0061】

また、実施例 2 のキャパシタは、D R A M だけではなく、D R A M を混載したあらゆる半導体装置、あるいは、キャパシタを有するあらゆる半導体装置に適用できる。

なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

#### 【0062】

##### <実施例 3>

図 7 は、実施例 3 の半導体装置である M I S F E T の断面図である。これは、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなる誘電体膜を M I S F E T のゲート絶縁膜として用いた例である。

#### 【0063】

まず、半導体基板 9 の主面に素子分離領域の溝 10 およびその溝 10 内にシリコン酸化膜 11 を形成する。

次に、五酸化ニオブと五酸化タンタルの混合膜を堆積する。混合膜の堆積は、

実施例 1 と同様に行う。さらに、実施例 1 と同様に熱処理を行い、多結晶五酸化ニオブの結晶粒の間に非晶質の五酸化タンタルが存在する誘電体膜を形成する。この誘電体膜は後に説明するように MISFET のゲート絶縁膜となるものである。

#### 【0064】

次に、誘電体膜上に、多結晶シリコン膜を堆積し、フォトレジスト膜をマスクとしてこの多結晶シリコン膜と誘電体膜をエッチングして除去する。これにより、多結晶シリコン膜からなるゲート電極 13、および多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜からなるゲート絶縁膜 12 を形成する。

#### 【0065】

次に、フォトレジスト膜およびゲート電極 13 をマスクとして不純物を低濃度にイオン注入し、半導体領域 14 を形成する。また、全面にシリコン窒化膜またはシリコン酸化膜を形成し、これを異方性エッチングすることにより、ゲート電極 13 の側壁にサイドウォールスペーサ 15 を形成する。さらに、フォトレジスト膜、ゲート電極 13 およびサイドウォールスペーサ 15 をマスクとして不純物を高濃度にイオン注入し、半導体領域 16 を形成する。半導体領域 14、16 はいわゆる LDD 構造のソース・ドレイン領域を構成する。

このようにして MISFET が形成される。この後、層間絶縁膜を形成し、半導体領域 16 に接する第 1 層配線を形成する。さらに上層の配線を、層間絶縁膜を介して形成する。

#### 【0066】

本実施例 3 によれば、キャパシタ誘電体膜の結晶化温度を低温化できるため、シリコン基板 9 の酸化を回避できる。その結果、ゲート絶縁膜の容量を増大できるため、ゲート絶縁膜の膜厚を厚くし、リーク電流を低減することができる。すなわち、半導体装置の高集積化時にトランジスタの特性を維持するためには、従来のシリコン酸化膜で実現しようとすれば、膜厚を薄くして容量を維持しなければならず、トンネル電流が増加してしまうが、多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜によるゲート絶縁膜を用いると、容量が同じであれば膜厚を厚くすることができるので、トンネル電流を生じることの少ない MISFET を

実現することができる。

上述した例では、ゲート電極 13 に多結晶シリコンを用いたが、これに限る必要はなく、窒化チタン、タングステン、窒化タングステンなどの金属電極を用いることができる。

#### 【0067】

また、ゲート絶縁膜 12 を形成する前に、半導体基板 9 の表面にシリコン窒化膜を形成してもよい。例えば、アンモニア雰囲気中で熱処理して表面に窒化シリコン膜を形成する。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、チャネル領域である多結晶シリコンが酸化されるのを抑制する効果がある。ゲート絶縁膜 12 を半導体基板 9 基板とゲート電極 13 で挟んだ部分は、いわゆる MIS 構造のキャパシタとなっており、その部分に種々のキャパシタを適用し、それぞれのキャパシタによる効果を奏することができる。

#### 【0068】

また、実施例 3 において説明した MISFET は、あらゆる半導体装置、例えば SRAM、電气的書き換え可能な一括消去型の読み出し専用メモリ、例えば DRAM のメモリセル選択用 MISFET や、周辺回路の MISFET に適用できる。

なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0069】

##### 【発明の効果】

本発明の代表的な実施形態によれば、キャパシタ誘電体膜の熱処理温度を低温化することができるので、多結晶シリコン下部電極の酸化による容量の低下（MIS 構造）や、バリアメタルの酸化によるコンタクト抵抗の増大（MIM 構造）の抑制が可能となる。つまり、半導体容量素子の微細化による高集積化、工程簡略化および高信頼化による歩留まりの向上、等を実現することができる。



さらに、五酸化タンタル膜に比べて誘電率を大きくすることが可能となる。これにより、信号量を増大させてデバイス動作の信頼性を向上させることが可能である。あるいは、キャパシタ高さを低減してプロセス負荷を低減することができる。

#### 【図面の簡単な説明】

##### 【図 1】

五酸化ニオブ膜は五酸化タンタル膜に比べて結晶化温度が低いことを説明する X 線回折図形である。図中のピークに付けられている数字は、五酸化タンタルと五酸化ニオブに対応する格子面を指示する。

##### 【図 2】

多結晶五酸化ニオブ膜は多結晶五酸化タンタル膜よりもリーク電流密度が大きいことを説明する図である。

##### 【図 3】

本発明の多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜の微細構造を示す図である。(a) は表面構造、(b) は断面構造である。

##### 【図 4】

本発明の多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜のリーク電流低減効果を説明する図である。(a) は多結晶五酸化ニオブ膜、(b) は多結晶五酸化タンタル膜、(c) は多結晶五酸化ニオブと非晶質五酸化タンタルの混合膜のリーク電流密度である。

##### 【図 5】

本発明の実施例 1 を説明する工程の縦断面図である。

##### 【図 6】

本発明の実施例 2 を説明する工程の縦断面図である。

##### 【図 7】

本発明の実施例 3 を説明する工程の縦断面図である。

#### 【符号の説明】

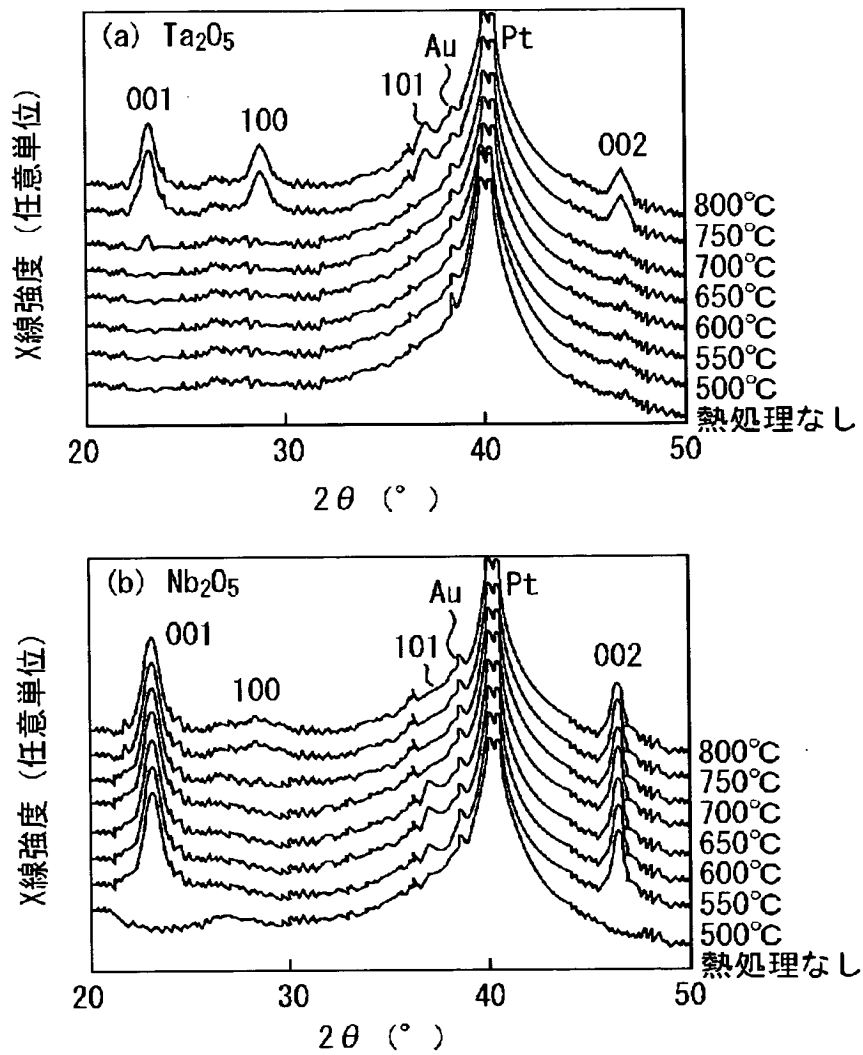
1…プラグ、2…バリアメタル、3…層間絶縁膜、4…シリコン窒化膜、5…シリコン酸化膜、6…下部電極、7…誘電体膜、8…上部電極、9…半導体基板

、 1 0 …溝、 1 1 …シリコン酸化膜、 1 2 …ゲート絶縁膜、 1 3 …ゲート電極、  
1 4 …半導体領域、 1 5 …サイドウォールスペーサ、 1 6 …半導体領域。

【書類名】 図面

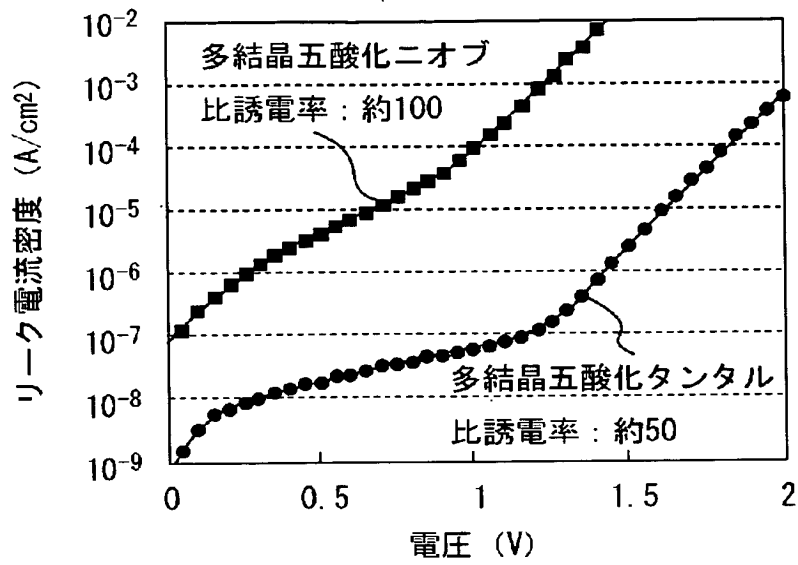
【図 1】

図 1



【図 2】

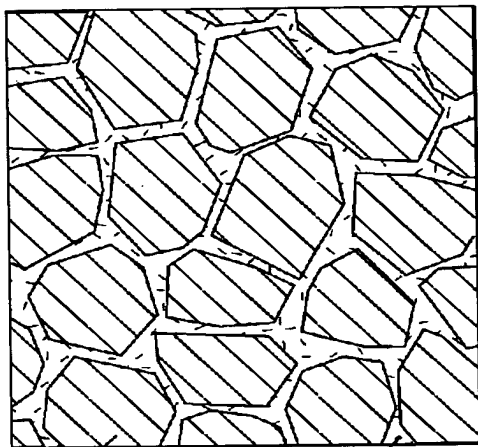
図 2



【図 3】

図 3

(a)

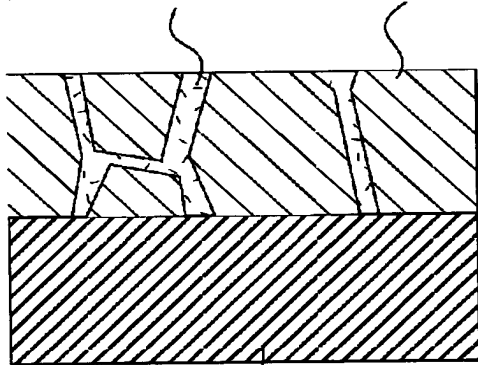


五酸化ニオブ結晶粒

非晶質酸化物

(b)

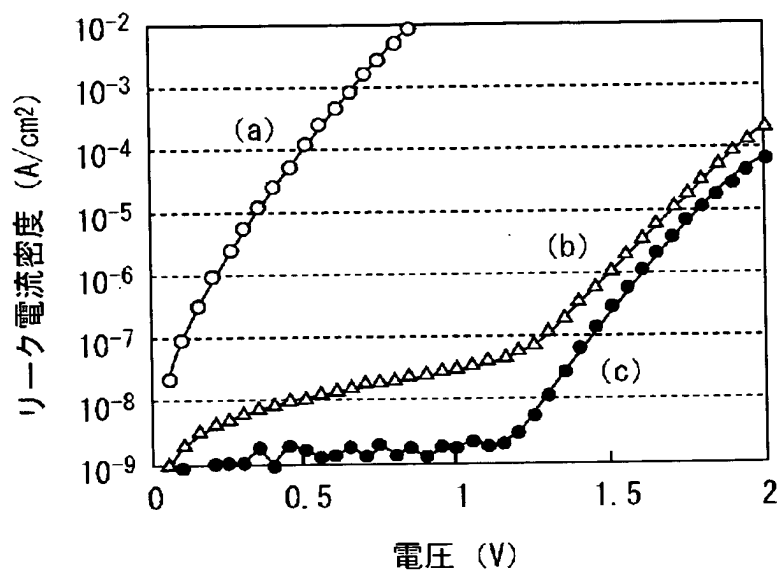
非晶質酸化物 五酸化ニオブ結晶粒



下部電極

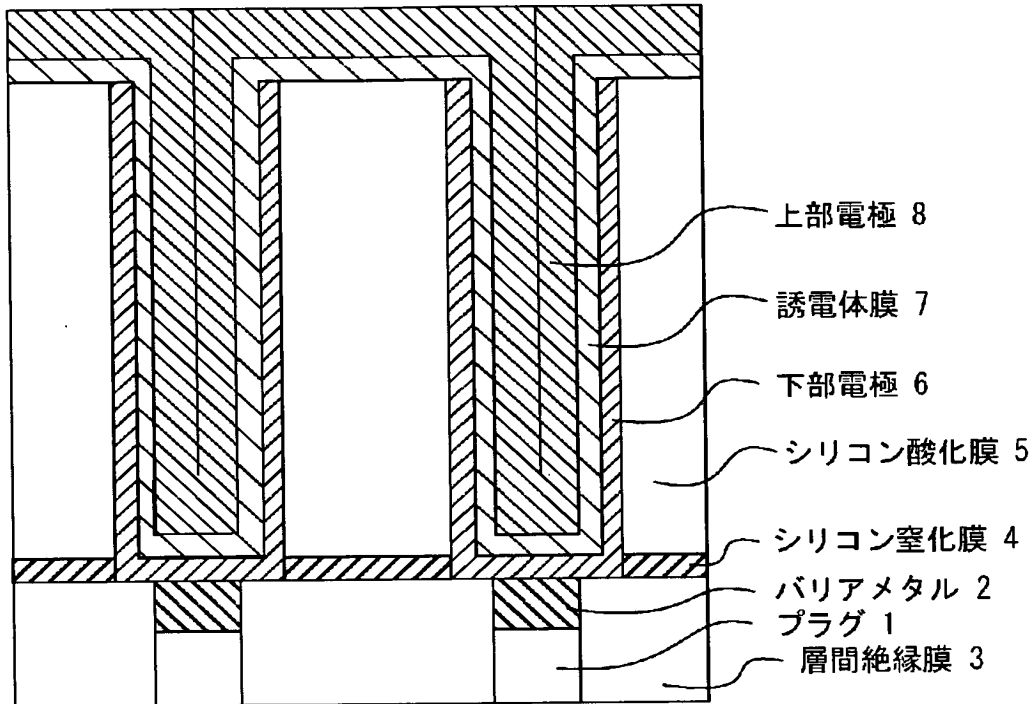
【図 4】

図 4



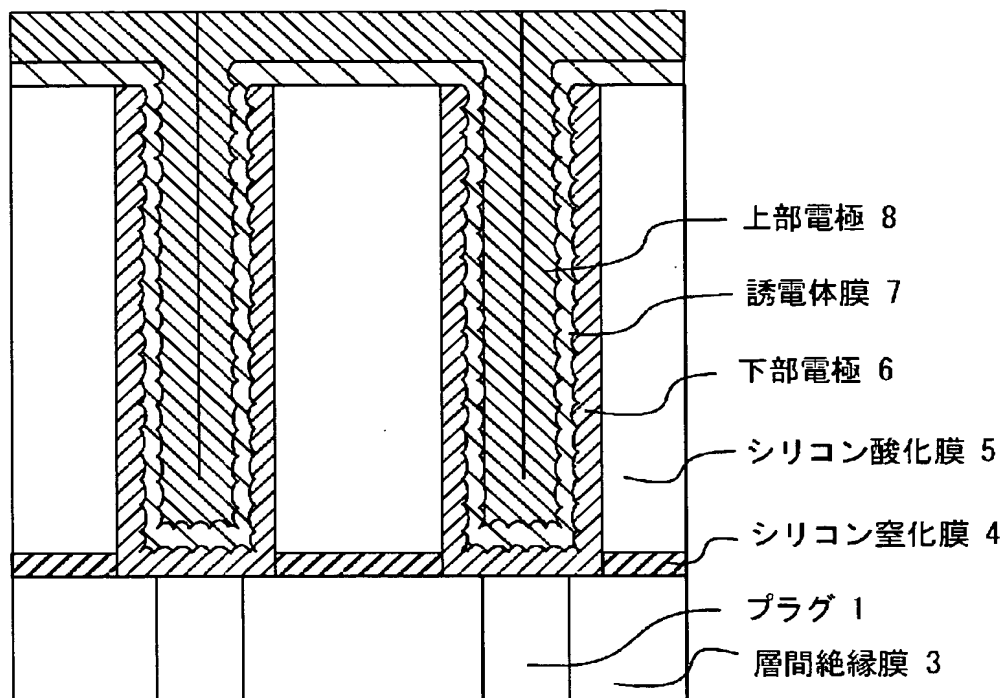
【図 5】

図 5



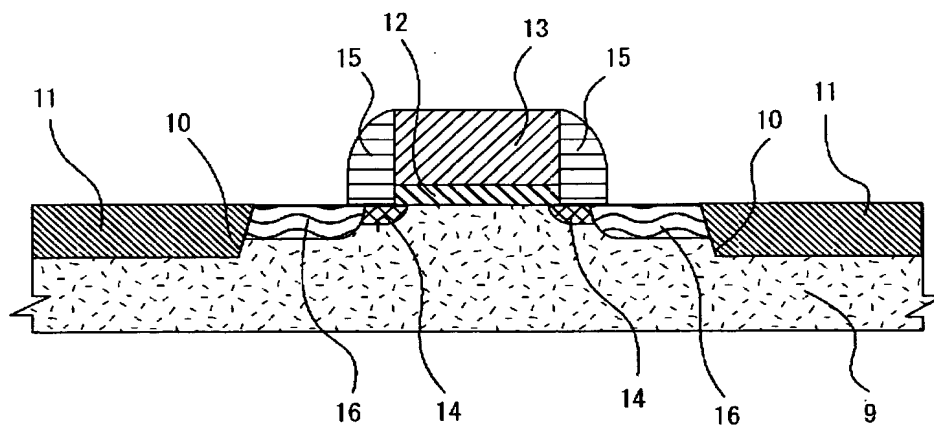
【図 6】

図 6



【図 7】

図 7





【書類名】 要約書

【要約】

【課題】

本発明は、半導体容量記憶装置の、特に五酸化ニオブを用いたキャパシタの構造とその形成方法に関する。五酸化ニオブは、結晶化温度が600℃以下と低い  
ため、熱処理による下部電極およびバリアメタルの酸化を抑制できる。しかし、  
五酸化ニオブ膜は結晶粒界に起因するリーク電流密度が大きいという課題があっ  
た。

【解決手段】

キャパシタの絶縁体膜として、多結晶五酸化ニオブの結晶粒の間に非晶質の酸  
化物が存在する誘電体膜を用いる。それにより、五酸化ニオブの結晶粒界を流れ  
るリーク電流を低減し、高誘電率化と低温結晶化を実現する技術を提供する。

【選択図】 図3

特願 2 0 0 3 - 1 1 8 5 6 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更新月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所